

DESIGN OF BASIC COMMUNICATION BUSES IN VHDL

Petr Toman

Bachelor Degree Programme (3), FEEC BUT
E-mail: xtoman00@stud.feec.vutbr.cz

Supervised by: Lukáš Fujcik
E-mail: fujcik@feec.vutbr.cz

ABSTRACT

The goal of this project is to design commonly used communication buses in VHDL language. UART, SPI and I2C buses will be designed in course of this project. Final design has to be synthesizable in application specific integrated circuits. These VHDL cores would be then made available for use in future projects at Department of Microelectronics at Brno University of Technology.

1. ÚVOD

Veškerá komunikace s periferními zařízeními probíhá pomocí sběrnic. Mezi tyto periferie lze zařadit například AD/DA převodníky, senzory, paměti, LCD displeje a další. Při použití mikrokontrolérů je vývoj jednodušší v tom, že v sobě mají určitou sběrnici již implementovanou a stačí zvolit periferie na základě použitého přenosu dat. Avšak pokud se rozhodneme k řízení zařízení použít programovatelné logické obvody nebo zákaznické integrované obvody, je nutné požadovanou sběrnici nejdříve navrhnout. To představuje pro vývojáře nezanedbatelnou práci navíc a ubírá čas na řešení problémů, které se přímo týkají vyvíjeného zařízení. Cílem tohoto projektu je právě návrh základních komunikačních sběrnic pro implementaci do cílových programovatelných obvodů pro použití v budoucích projektech.

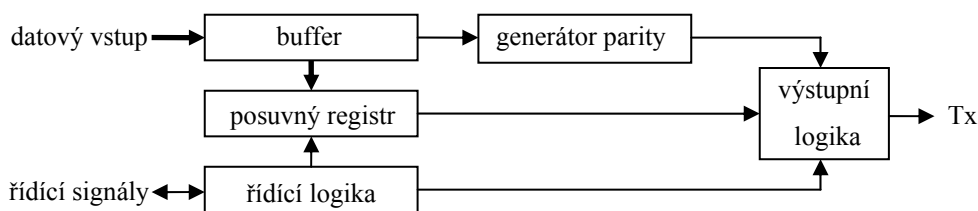
2. ROZBOR

2.1. UART

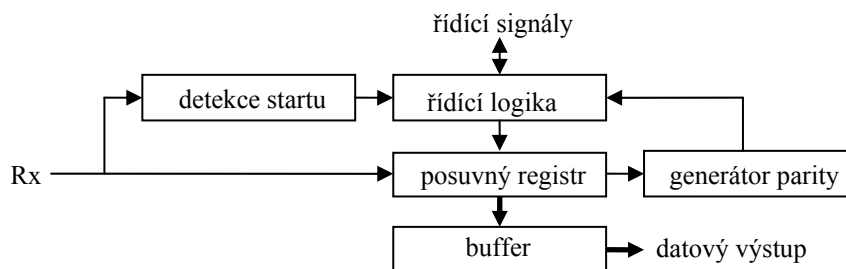
UART je asynchronní sériová sběrnice a přenos je uskutečněn pomocí 2 vodičů, z nichž jeden slouží pro odesílání a druhý pro příjem dat. Tyto vodiče jsou na sobě nezávislé a je tedy možné zároveň data odesílat a přijímat. Při komunikaci prostřednictvím UART je též nutné, aby obě zúčastněná zařízení měla nastavena shodnou přenosovou frekvenci, jinak by došlo k chybnému vyhodnocení přenášených dat.

Tato sběrnice je realizována ze dvou samostatných bloků - přijímač a vysílač. Oba bloky pracují na 16x vyšší frekvenci než je použitá přenosová frekvence. To je dáno tím, že se jedná o asynchronní sběrnici a přijímač musí správně určit okamžiky navzorkování dat na vstupu. Oba bloky mají vlastní buffer pro uložení bytu k odeslání a přijatého bajtu.

Návrh také obsahuje generátor parity pro případnou kontrolu přenosu. Zjednodušená bloková schémata jsou uvedena na obrázcích 1 a 2.



Obrázek 1: Blokové schéma UART vysílače

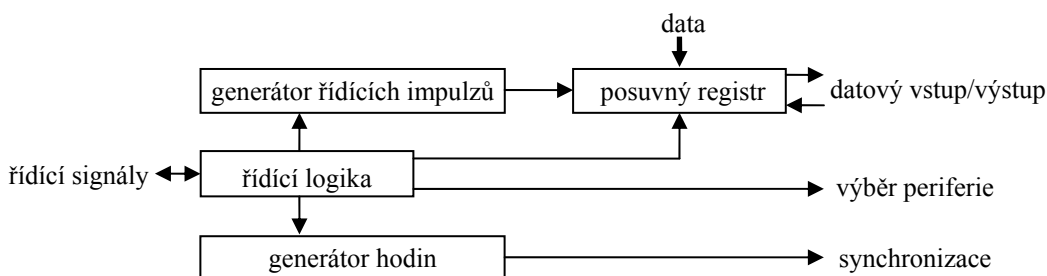


Obrázek 2: Blokové schéma UART přijímače

2.2. SPI

SPI patří mezi 4-vodičové synchronní sériové sběrnice. Narozdíl např. od UARTu může být na SPI připojeno více periférií, přičemž řízení přenosu a výběr připojených zařízení obsluhuje master zařízení. Zvláštností této sběrnice je přenos dat, protože vždy probíhá současně odesílání i příjem. A to i v případě, kdy má o komunikaci zájem pouze jedna strana.

Realizace SPI interně používá 2x vyšší frekvenci než je přenosová frekvence. Protože tato sběrnice může pracovat v jednom ze 4 režimů přenosu, správná synchronizace zápisu a čtení bitů je zajištěna generátorem řídicích impulsů a synchronizačních hodin. Ty na základě zvoleného módu generují odpovídající signály. Synchronizační hodinový signál je vyveden na výstup, který je připojen k perifernímu zařízení a řídicí impulsy ovládají vnitřní posuvný registr pro příjem a odesílání dat.

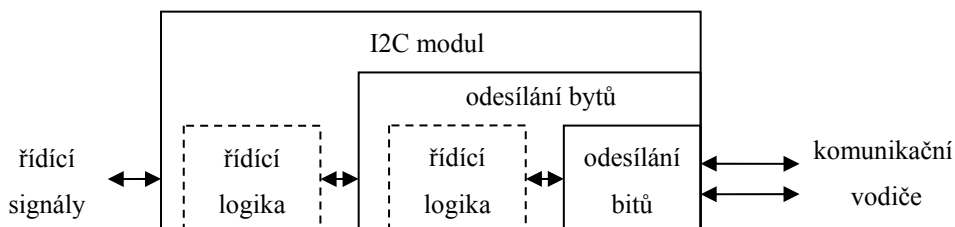


Obrázek 3: Blokové schéma řešení sběrnice SPI

2.3. I2C

Sběrnice I2C využívá synchronního sériového přenosu po 2 vodičích, které jsou použity pro obousměrnou komunikaci. Komunikace je vždy zahájena master zařízením a díky adresaci je možné připojit do obvodu několik podřízených periférií.

Návrh pracuje na 4x vyšší frekvenci než je frekvence přenášených dat a je sestaven ze tří vzájemně propojených bloků, jak je znázorněno na obrázku 4. Blok na nejnižší úrovni přistupuje přímo k datovému a hodinovému vodiči a podle požadavků z nadřazeného stupně nastavuje požadované úrovně na těchto vodičích. Také je zde prováděna detekce, jestli na sběrnici probíhá komunikace. Další blok zajišťuje přenos předem určených sekvencí bitů, tedy odeslání nebo příjem bajtu včetně potvrzení. Tyto sekvence jsou nakonec zřetězeny hlavním I2C modulem podle konkrétních požadavků dané aplikace.



Obrázek 4: Zjednodušené blokové schéma navržené I2C sběrnice

3. ZÁVĚR

V průběhu projektu byly navrženy sběrnice UART, SPI a I2C a jejich funkčnost byla prozatím otestována v časové simulaci. Výsledné průběhy při použitých testovacích vektorech odpovídaly daným specifikacím.

PODĚKOVÁNÍ

Chtěl bych poděkovat panu Ing. Lukáši Fucikovi, Ph.D. za rady a pomoc při řešení tohoto projektu.

LITERATURA

- [1] DUNCAN E.: *Implementation of a digital UART by VHDL* [online]. Poslední revize 8.12.1999 [cit. 2008-12-17].
<<http://www.ee.ualberta.ca/~elliott/ee552/studentAppNotes/1999f/UART/uart.html>>
- [2] CoolRunner-II Serial Peripheral Interface Master [online]. Poslední revize 24.12.2002 [cit. 2008-12-17].
<http://www.xilinx.com/support/documentation/application_notes/xapp386.pdf>
- [3] *The I2C-Bus Specification* [online]. Verze 2.1. 2000. [cit. 2008-12-17].
<http://www.semiconductors.philips.com/acrobat_download/literature/9398/39340011.pdf>